

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平11-134864

(43)公開日 平成11年(1999)5月21日

(51)Int.Cl.⁶
G 1 1 C 11/409
11/417
11/407
H 0 3 K 19/0175

識別記号

F I
G 1 1 C 11/34
3 5 4 P
3 0 5
3 6 2 S
H 0 3 K 19/00
1 0 1 K

審査請求 未請求 請求項の数17 O.L (全 5 頁)

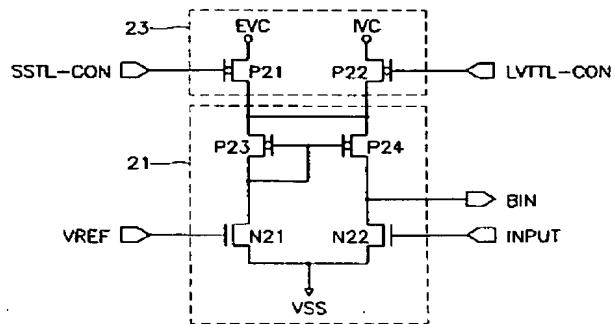
(21)出願番号 特願平10-202259
(22)出願日 平成10年(1998)7月16日
(31)優先権主張番号 97-52356
(32)優先日 1997年10月13日
(33)優先権主張国 韓国 (KR)

(71)出願人 390019839
三星電子株式会社
大韓民国京畿道水原市八達区梅灘洞416
(72)発明者 ▲黃▼▲祥▼俊
大韓民国ソウル特別市冠岳区奉天6洞66-
23番地
(72)発明者 姜京雨
大韓民国京畿道華城郡台安邑陳腐里506番
地華南アパート102棟1007号
(74)代理人 弁理士 大塚 康徳 (外1名)

(54)【発明の名称】 半導体メモリ装置の入力バッファ

(57)【要約】

【課題】半導体メモリ装置の入力バッファを提供する。
【解決手段】基準電圧 D R E F と外部から印加される入力信号 I N P U T との差を増幅する差動増幅部 2 1 と、基準電圧 V R E F 及び入力信号 I N P U T が外部電源供給電圧 E V C に応じて従属的に変化する S S T L インタフェースの条件下では、外部電源供給電圧 E V C を選択して差動増幅部 2 1 に伝達し、基準電圧 V R E F 及び入力信号 I N P U T が外部電源供給電圧 E V C の変化に拘らず一定のレベルを維持する L V T T L インタフェースの条件下では、内部電源供給電圧 I V C を選択して差動増幅部 2 1 に伝達するスイッチング部 2 1 を具備することにより、安定的に動作する。



【特許請求の範囲】

【請求項1】 基準電圧と外部から印加される入力信号との差を増幅する差動増幅部と、前記基準電圧及び前記入力信号が外部電源供給電圧に応じて従属性に変化するSSTLインターフェースの条件下では、前記外部電源供給電圧を選択して前記差動増幅部に伝達し、前記外部電源供給電圧が変化しても前記外部電源供給が略一定のレベルを維持するLVTTLインターフェースの条件下では、内部電源供給電圧を選択して前記差動増幅部に伝達するスイッチング部と、
10 を具備することを特徴とする半導体メモリ装置の入力バッファ。

【請求項2】 前記外部電源供給電圧は、前記半導体メモリ装置の外部から印加される電圧であり、前記内部電源供給電圧は、前記半導体メモリ装置の内部の内部電源供給電圧発生器で前記外部電源供給電圧を入力として生成される電圧であることを特徴とする請求項1に記載の半導体メモリ装置の入力バッファ。

【請求項3】 前記スイッチング部は、
20 第1制御信号が活性化される時に前記差動増幅部に前記外部電源供給電圧を伝達する第1スイッチング部と、
第2制御信号が活性化される時に前記差動増幅部に前記内部電源供給電圧を伝達する第2スイッチング部と、
を具備することを特徴とする請求項1に記載の半導体メモリ装置の入力バッファ。

【請求項4】 前記第1制御信号は、前記SSTLインターフェースの条件下で活性化されることを特徴とする請求項3に記載の半導体メモリ装置の入力バッファ。

【請求項5】 前記第2制御信号は、前記LVTTLインターフェースの条件下で活性化されることを特徴とする請求項3に記載の半導体メモリ装置の入力バッファ。

【請求項6】 前記第1スイッチング部は、ソースに前記外部電源供給電圧が印加され、ゲートに前記第1制御信号が印加され、ドレインに前記差動増幅部が接続されるPMOSトランジスタであることを特徴とする請求項3に記載の半導体メモリ装置の入力バッファ。

【請求項7】 前記PMOSトランジスタのウェルバイアスとして前記外部電源供給電圧が用いられるることを特徴とする請求項6に記載の半導体メモリ装置の入力バッファ。

【請求項8】 前記第2スイッチング部は、ソースに前記内部電源供給電圧が印加され、ゲートに前記第2制御信号が印加され、ドレインに前記差動増幅部が接続されるPMOSトランジスタであることを特徴とする請求項3に記載の半導体メモリ装置の入力バッファ。

【請求項9】 前記PMOSトランジスタのウェルバイアスとして前記外部電源供給電圧が用いられるることを特徴とする請求項8に記載の半導体メモリ装置の入力バッファ。

【請求項10】 基準電圧と外部から印加される入力信

号との差を増幅させる差動増幅部と、

第1電源供給電圧及び第2電源供給電圧のうち何れか一つを選択して前記差動増幅部に伝達するスイッチング部とを具備することを特徴とする半導体メモリ装置の入力バッファ。

【請求項11】 前記第1電源供給電圧は、前記半導体メモリ装置の外部から印加される外部電源供給電圧であり、前記第2電源供給電圧は、前記半導体メモリ装置内部の内部電源供給電圧発生器で前記外部電源供給電圧を入力として生成される内部電源供給電圧であることを特徴とする請求項10に記載の半導体メモリ装置の入力バッファ。

【請求項12】 前記スイッチング部は、
第1制御信号が活性化される時に前記差動増幅部に前記第1電源供給電圧を伝達する第1スイッチング部と、
第2制御信号が活性化される時に前記差動増幅部に前記第2電源供給電圧を伝達する第2スイッチング部と、
を具備することを特徴とする請求項10に記載の半導体メモリ装置の入力バッファ。

【請求項13】 前記第1制御信号は、SSTLインターフェースの条件下で活性化されることを特徴とする請求項12に記載の半導体メモリ装置の入力バッファ。

【請求項14】 前記第2制御信号は、LVTTLインターフェースの条件下で活性化されることを特徴とする請求項12に記載の半導体メモリ装置の入力バッファ。

【請求項15】 前記第1スイッチング部は、ソースに前記第1電源供給電圧が印加され、ゲートに前記第1制御信号が印加され、ドレインに前記差動増幅部が接続されるPMOSトランジスタであることを特徴とする請求項12に記載の半導体メモリ装置の入力バッファ。

【請求項16】 前記第2スイッチング部は、ソースに前記第2電源供給電圧が印加され、ゲートに前記第2制御信号が印加され、ドレインに前記差動増幅部が接続されるPMOSトランジスタであることを特徴とする請求項12に記載の半導体メモリ装置の入力バッファ。

【請求項17】 前記第1電源供給電圧は、前記半導体メモリ装置の外部から印加される外部電源供給電圧であり、前記第2電源供給電圧は、前記半導体メモリ装置内部の内部電源供給電圧発生器で前記外部電源供給電圧を

40 入力として生成される内部電源供給電圧であることを特徴とする請求項12に記載の半導体メモリ装置の入力バッファ。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は半導体装置に係り、例えば半導体メモリ装置の入力バッファに関する。

【0002】

【従来の技術】 半導体メモリ装置のうちSDRAM(synchronous DRAM)では、データの入出力が外部から印加されるシステムクロック、即ち外部クロックに同期して制

御される。更に詳細に説明すれば、SDRAMでは、入力バッファであるクロックバッファは、外部クロックを入力として内部クロックを発生し、その内部クロックにより出力バッファが制御される。従って、SDRAMでは、外部クロックがクロックバッファに入力された後、出力バッファを通してデータが出力されるまでに要する時間t_{SAC}と、出力したデータがフェッチされるために該データを保持する時間t_{OH}が非常に大事なパラメータである。

【0003】しかしながら、一般に、SDRAMの速度の側面からt_{SAC}が小さくなるようにt_{SAC}バスを設計すると、逆にt_{OH}マージンが小さくなる。従って、t_{SAC}を小さくしながら同時にt_{OH}マージンを確保するためには、電源供給電圧V_{CC}の変化に伴うデータ出力速度の変化を小さくしなければならず、そのため、通常はクロックバッファには内部電源供給電圧I_{VC}が用いられる。

【0004】図1は、SDRAMにおいてクロックバッファとして用いられる従来の入力バッファの回路図である。図1に示すように、従来の入力バッファは、基準電圧V_{REF}と外部から印加される入力信号I_{INPUT}との差を増幅する差動増幅部11と、制御信号P_{BUF C}が活性化された時に差動増幅部11に内部電源供給電圧I_{VC}を伝達するスイッチング部13とを具備する。

【0005】差動増幅部11は、通常の差動増幅器で構成され、スイッチング部13は、ソースに内部電源供給電圧I_{VC}が印加され、ゲートに制御信号P_{BUF C}が印加され、ドレインに差動増幅部11が接続されるPMOSトランジスタP11で構成されている。内部電源供給電圧I_{VC}は、SDRAM内部の内部電源供給電圧発生器において、外部から印加される外部電源供給電圧E_{VC}より生成される電圧であり、外部電源供給電圧E_{VC}に拘らず一定のレベルを維持する。

【0006】ところで、SDRAMのLV_{TTL}(Low Voltage Transistor Transistor Logic)インターフェースの条件下では、入力バッファに入力される入力信号I_{INPUT}及び基準電圧V_{REF}が外部電源供給電圧E_{VC}の変化に拘らず一定のレベルを維持するので、入力バッファが正常に動作する。即ち、内部電源供給電圧I_{VC}が一定のレベルを維持し、差動増幅部11の各NMOSトランジスタN11,N12のゲートに入力される基準電圧V_{REF}及び入力信号I_{INPUT}も一定のレベルを維持するので、差動増幅部11のPMOSトランジスタ対P12,P13及びNMOSトランジスタ対N11,N12が正常に動作する。

【0007】しかし、SDRAMのSSTL(Stub Series terminated Transceiver Logic)インターフェースの条件下では、入力バッファに入力される入力信号I_{INPUT}及び基準電圧V_{REF}が外部電源供給電圧E_{VC}の変化に伴って従属的に変化するので、入力バッファが正常

に動作しない場合がある。即ち、内部電源供給電圧I_{VC}は一定のレベルを維持する反面、入力信号I_{INPUT}及び基準電圧V_{REF}は外部電源供給電圧E_{VC}の変化に伴って従属的に変化するので、差動増幅部11のPMOSトランジスタ対P12,P13及びNMOSトランジスタ対N11,N12が正常に動作しない場合がある。例えば、内部電源供給電圧I_{VC}は一定のレベルを維持する反面、入力信号I_{INPUT}及び基準電圧V_{REF}は外部電源供給電圧E_{VC}の電圧値の増加に伴って増加する場合、各PMOSトランジスタP12,P13のゲートとソースとの間の電圧が、各NMOSトランジスタN11,N12のゲートとソースとの間の電圧に比べて低下する。これにより、差動増幅部11の出力信号B_{IN}は、常に論理“ロー”状態になって入力バッファの誤動作が起こる場合がある。

【0008】

【発明が解決しようとする課題】本発明は、上記の背景に鑑みてなされたものであり、例えば、LV_{TTL}インターフェースの条件下及びSSTLインターフェースの条件下の双方において、安定的に正常に動作可能な半導体メモリ装置の入力バッファを提供することを目的とする。

【0009】

【課題を解決するための手段】前記の目的を達成するために、本発明に係る半導体装置の入力バッファは、例えば、半導体メモリ装置の入力バッファとして好適であり、基準電圧と外部から印加される入力信号との差を増幅する差動増幅部と、前記基準電圧及び前記入力信号が外部電源供給電圧に応じて従属的に変化するSSTLインターフェース条件下では、前記外部電源供給電圧を選択して前記差動増幅部に伝達し、前記基準電圧及び前記入力信号が前記外部電源供給電圧の変化に拘らず略一定のレベルを維持するLV_{TTL}インターフェースの条件下では、内部電源供給電圧を選択して前記差動増幅部に伝達するスイッチング部とを具備することを特徴とする。

【0010】例えば、前記スイッチング部は、第1制御信号が活性化される時に前記差動増幅部に前記外部電源供給電圧を伝達する第1スイッチング部と、第2制御信号が活性化される時に前記差動増幅部に前記内部電源供給電圧を伝達する第2スイッチング部とを具備することが好ましい。

【0011】例えば、前記第1制御信号は、前記SSTLインターフェースの条件下で活性化され、前記第2制御信号は、前記LV_{TTL}インターフェースの条件下で活性化される。

【0012】例えば、前記外部電源供給電圧は、前記半導体メモリ装置の外部から印加される電圧であり、前記内部電源供給電圧は、前記半導体メモリ装置内部の内部電源供給電圧発生器で前記外部電源供給電圧を入力として発生する電圧である。

【0013】

【発明の実施の形態】以下、添付図面を参照しながら本発明の好適な実施の形態を説明する。

【0014】図2に示すように、本発明の好適な実施の形態に係る入力バッファは、差動増幅部21及びスイッチング部23を具備する。差動増幅部21は、基準電圧VREFと外部から印加される入力信号INPUTとの電圧差を増幅する。スイッチング部23は、基準電圧VREF及び入力信号INPUTが外部電源供給電圧EVCに応じて従属的に変化するSSTLインターフェースの条件下では、外部電源供給電圧EVCを選択して差動増幅部21に伝達する。また、スイッチング部23は、基準電圧VREF及び入力信号INPUTが外部電源供給電圧EVCの変化に係らず一定のレベルを維持する。SSTLインターフェースの条件下では、内部電源供給電圧IVCを選択して差動増幅部21に伝達する。

【0015】外部電源供給電圧EVCは、半導体メモリ装置の外部から印加される電圧であり、内部電源供給電圧IVCは、半導体メモリ装置の内部の内部電源供給電圧発生器(図示せず)において、外部電源供給電圧EVCを入力として生成される電圧であり、外部電源供給電圧EVCの変化に拘らず一定のレベルを維持する。

【0016】差動増幅部21は、例えば通常の差動増幅器で構成される。また、スイッチング部23は、第1制御信号SSTL-CONが活性化される時に差動増幅部21に外部電源供給電圧EVCを伝達する第1スイッチング部P21と、第2制御信号LVTTL-CONが活性化される時に差動増幅部21に内部電源供給電圧IVCを伝達する第2スイッチング部P22とを具備する。ここで、第1制御信号SSTL-CONは、SSTLインターフェースの条件下で論理“ロー”に活性化され、第2制御信号LVTTL-CONは、LVTTLインターフェースの条件下で論理“ロー”に活性化される。

【0017】第1スイッチング部P21は、例えば、ソースに外部電源供給電圧EVCが印加され、ゲートに第1制御信号SSTL-CONが印加され、ドレインに差動増幅部21が接続されるPMOSトランジスタで構成される。第2スイッチング部P22は、例えば、ソースに内部電源供給電圧IVCが印加され、ゲートに第2制御信号LVTTL-CONが印加され、ドレインに差動増幅部21が接続されるPMOSトランジスタで構成される。ここで、第1及び第2スイッチング部P21,P22、即ち2つのPMOSトランジスタのウェルバイアス(Well Bias)として、外部電源供給電圧EVCが用いられる。その理由は次の通りである。

【0018】例えば、SSTLインターフェースの条件下で、第1制御信号SSTL-CONが論理“ロー”に活性化されると、PMOSトランジスタの各ドレインには外部電源供給電圧EVCが印加される。ところが、外部電源供給電圧EVCのレベルは内部電源供給電圧IVCのレベルより高いので、PMOSトランジスタP22のウ

ェルバイアスとして内部電源供給電圧IVCを用いると、PMOSトランジスタP22のドレインとウェル(図示せず)との間に順バイアスが発生し、これにより入力バッファが誤動作する。従って、SSTLインターフェースの条件下でPMOSトランジスタP22のドレインとウェルとの間に順バイアスが発生するのを防止するために、PMOSトランジスタP21,P22のウェルバイアスとして外部電源供給電圧EVCが用いられる。

【0019】以下、図2に示す入力バッファの動作を説明する。

【0020】まず、半導体メモリ装置のLVTTLインターフェースの条件下では、第1制御信号SSTL-CONは論理“ハイ”に非活性化され、第2制御信号LVTTL-CONは論理“ロー”に活性化される。従って、第1スイッチング部P21はターンオフされ、第2スイッチング部P22はターンオンされて、内部電源供給電圧IVCが差動増幅部21に伝達される。

【0021】よって、LVTTLインターフェースの条件下では、差動増幅部21に入力される入力信号INPUT及び基準電圧VREFが外部から印加される外部電源供給電圧EVCの変化に拘らず一定のレベルを維持し、差動増幅部21に供給される内部電源供給電圧IVCも常に一定のレベルを維持するので、この入力バッファの出力信号BINは、外部電源供給電圧EVCの変化による影響を受けない。即ち、内部電源供給電圧IVCは一定のレベルを維持し、差動増幅部21の各NMOSトランジスタN21,N22のゲートに入力される基準電圧VREF及び入力信号INPUTも一定のレベルを維持するので、差動増幅部21のPMOSトランジスタ対P23,P24及びNMOSトランジスタ対N21,N22は正常に動作する。

【0022】また、半導体メモリ装置のSSTLインターフェースの条件下では、第1制御信号SSTL-CONは論理“ロー”に活性化され、第2制御信号LVTTL-CONは論理“ハイ”に非活性化される。従って、第1スイッチング部P21はターンオンされ、第2スイッチング部P22はターンオフされて、外部電源供給電圧EVCが差動増幅部21に伝達される。

【0023】よって、SSTLインターフェースの条件下では、差動増幅部21に入力される入力信号INPUT及び基準電圧VREFが外部電源供給電圧EVCの変化に応じて従属的に変化し、差動増幅部21に供給される外部電源供給電圧EVCも変化するので、この入力バッファの出力信号BINは、外部電源供給電圧EVCの変化による影響を受けない。

【0024】即ち、外部電源供給電圧EVCが変化し、入力信号INPUT及び基準電圧VREFは、外部電源供給電圧EVCの変化に伴って共に従属的に変化するので、差動増幅部21のPMOSトランジスタ対P23,P24及びNMOSトランジスタ対N21,N22は正

常に動作する。

【0025】例えば、SSTLインターフェースの条件下で、外部電源供給電圧EVCの増加に伴って入力信号INPUT及び基準電圧VREFが従属的に増加する場合、各NMOSトランジスタN21,N22のゲートとソースとの間の電圧が増加し、各PMOSトランジスタP23,P24のゲートとソースとの間の電圧も外部電源供給電圧EVCの増加に伴って増加する。従って、PMOSトランジスタ対P23,P24とNMOSトランジスタ対N21,N22とは同一の傾向で動作し、結果として、出力信号BINは、外部電源供給電圧EVCの変化による影響を受けない。

【0026】なお、本発明は上記の実施の形態に限定されず、本発明の技術的思想の範囲内で様々な変形が可能である。

[0027]

【発明の効果】本発明に係る入力バッファによれば、例えば、基準電圧及び入力信号が外部電源供給電圧の変化*

* に拘らず略一定のレベルを維持する L V T T L インタフェースの条件下では、略一定のレベルを有する内部電源供給電圧が電源供給電圧として用いられ、基準電圧及び入力信号が外部電源供給電圧の変化に応じて従属的に変化する S S T L インタフェースの条件下では、外部電源供給電圧が電源供給電圧として用いられる。従って、本発明に係る入力バッファは、例えば、L V T T L インタフェースの条件下及び S S T L インタフェースの条件下で、共に安定的に正常に動作する。

10

[0028]

【図面の簡単な説明】

【図1】SDRAMにおいてクロックバッファとして用いられる従来の入力バッファの回路図である。

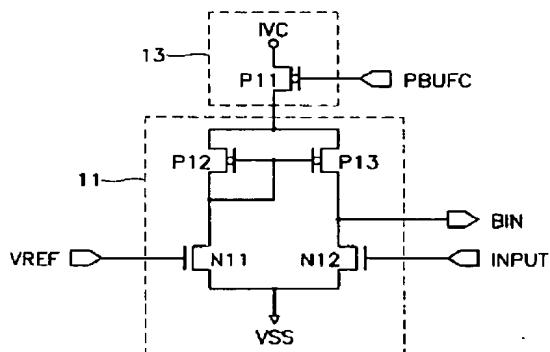
【図2】本発明の好適な実施の形態に係る半導体メモリ装置の入力バッファの回路図である。

【符号の説明】

21 差動增幅部

23 スイチング部

〔図1〕



[図2]

